

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-051347
(43) Date of publication of application : 25.02.1994

(51) Int.Cl.

GUZF 1/135
H01L 29/784

(21) Application number : 05-029462

(71)Applicant : **ALPS ELECTRIC CO LTD**

(22) Date of filing : 18.02.1993

(72) Inventor : HEBIGUCHI HIROYUKI

(30) Priority

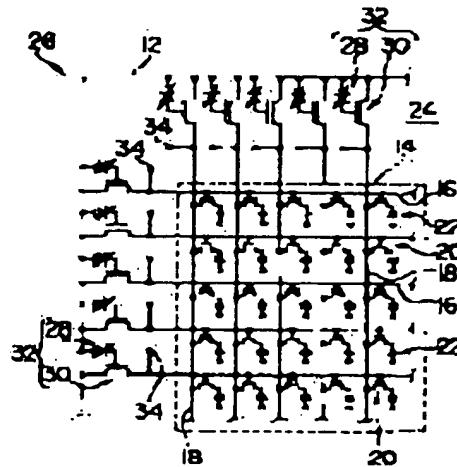
Priority number : 04143009 Priority date : 03.06.1992 Priority country : JP

(54) MATRIX WIRED BOARD AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To take an electrostatic countermeasure until a driving circuit is connected to the matrix wired board and to obtain the board which enables the early inspection of circuit wiring.

CONSTITUTION: On the matrix wired board 26 on which circuit electric conductors 16 and 18 are formed in matrix, a guard ring 12 which is connected to the circuit electric conductors 16 and 18 is formed at the outer peripheral part of the circuit electric conductors 16 and 18, and a connection/disconnection part 32 which controls the conduction between the circuit electric conductors 16 and 18 and guard ring 12 is interposed between the circuit electric conductors 16 and 18 and guard ring 12. The electric conductors 16 and 18 and guard ring 12 are electrically connected by making an external field on the connection/disconnection part 32 to short-circuit respective electric conductors among the circuit electric conductors and a potential difference due to static electricity between them is eliminated; and discharge is eliminated and the yield is improved.



LEGAL STATUS

[Date of request for examination] 15.12.1994

[Date of sending the examiner's decision of rejection] 18.03.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2766442

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection] 09-06179

[Date of requesting appeal against examiner's decision 17.04.1997
of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-51347

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl.
G 02 F 1/136
H 01 L 29/784識別記号
500庁内整理番号
9018-2K

9056-4M

F I

技術表示箇所

H 01 L 29/78

311 A

審査請求 未請求 請求項の数6(全12頁)

(21)出願番号

特願平5-28462

(22)出願日

平成5年(1993)2月18日

(31)優先権主張番号 特願平4-143009

(32)優先日 平4(1992)6月3日

(33)優先権主張国 日本 (JP)

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 蛇口 広行

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74)代理人 弁理士 志賀 正式 (外2名)

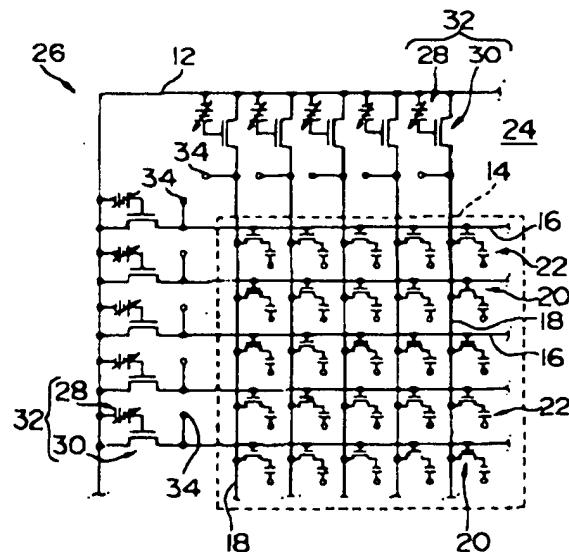
(54)【発明の名称】 マトリクス配線基板およびその製造方法

(57)【要約】

【目的】 本発明はマトリクス配線基板に駆動回路が接続されるまで静電気対策を施すことができ、また早期の回路配線の検査を可能する基板の提供を目的とする。

【構成】 本発明は、基板上にマトリクス状に回路配線が形成されたマトリクス配線基板において、回路配線の外周部に前記回路配線と接続されるガードリングが形成され、回路配線とガードリングの間に前記回路配線とガードリングの導通を制御する接断部が介在しているものである。

【効果】 本発明によれば、接断部に外場を作用させて回路配線とガードリングとを導通させておくことで、回路配線中の各配線が短絡し、それらの間に静電気による電位差が生じなくなり、放電が起こらず、歩留まりが向上する。



【特許請求の範囲】

【請求項1】 基板上にマトリクス状に回路配線が形成されたマトリクス配線基板において、回路配線の外周部に前記回路配線と接続されるガードリングが形成され、回路配線とガードリングの間に前記回路配線とガードリングの導通を制御する接断部が介在していることを特徴とするマトリクス配線基板。

【請求項2】 請求項1記載のマトリクス配線基板において、接断部が、回路配線とガードリングの導通/絶縁を切替える接断スイッチング素子と、前記接断スイッチング素子を制御する給電部とから構成されていることを特徴とするマトリクス配線基板。

【請求項3】 請求項1記載のマトリクス配線基板において、接断部が可変抵抗素子で構成されていることを特徴とするマトリクス配線基板。

【請求項4】 請求項1記載のマトリクス配線基板において、接断部が可変抵抗回路で構成されていることを特徴とするマトリクス配線基板。

【請求項5】 基板上にマトリクス状の回路配線が形成されたマトリクス配線基板の製造方法において、回路配線の外周部に前記回路配線と接続されるガードリングを形成し、さらに前記回路配線とガードリングとの間に接断部を形成し、前記形成された接断部に外場を作用させて回路配線とガードリングを導通させておき、必要に応じて接断部を外場から遮断して回路配線とガードリングを絶縁することを特徴とするマトリクス配線基板の製造方法。

【請求項6】 基板上にマトリクス状の回路配線が形成されたマトリクス配線基板の製造方法において、回路配線の外周部に前記回路配線と接続されるガードリングを形成し、さらに前記回路配線と前記ガードリングとの間に前記回路配線と前記ガードリングとの導通を制御する接断部を形成し、前記接断部により前記回路配線と前記ガードリングを導通させておき、必要に応じて前記接断部に外場を作用させて、前記回路配線と前記ガードリングとを絶縁することを特徴とするマトリクス配線基板の製造方法。

【発明の詳細な説明】

【0001】

【工業上の利用分野】 本願発明は、回路配線がマトリクス状に配置形成されたマトリクス配線基板、およびその製造方法に関するもので、特にその製造時における静電気対策を施したものである。

【0002】

【従来の技術】 ビジュアル機器等において、近年特にフラットディスプレイの開発が注目されているが、中でも液晶ディスプレイは多くの利点を有し、将来の主流表示方式としてさらなる開発が急務とされている。中でも、a-Si TFT (アモルファスシリコン薄膜トランジスタ) を使用したアクティブマトリクス方式の液晶ディス

プレイはその表示品位の高さから主流になると予想され、現在も比較的小型なものから実用化が進みつつある。

【0003】 ところで、アクティブマトリクス方式の液晶ディスプレイは、絶縁体であるガラス基板上に、マトリクス状に、画素電極と、各画素電極に設けられたゲート配線とソース配線と、薄膜トランジスタ(TFT)とを形成してなるマトリクス配線基板をまず製造し、これを組み立て、液晶を注入する等の工程、駆動回路の接続工程を経て製造することができる。

【0004】 この際、マトリクス配線基板を製造するにあたって、各電極相互間には静電気が発生しやすいものであった。この静電気が発生すると、その放電によって例えばTFTの絶縁体や半導体が破壊され、またはその発熱によって回路配線が損傷し、配線基板としての歩留りを大幅に悪化させてしまうものであった。中でもa-Si TFTは特に静電気に対して弱いとされているものである。

【0005】 そこで、従来、図10に示すように、ガードリング12を形成することによって静電気対策を施す製造方法が採られていた。図10に示すマトリクス配線基板10は、データ信号を流すための多数のソース配線18, 18, …と、走査信号を流すための多数のゲート配線16, 16, …とが並列状態でガラス基板24上に形成され、それらソース配線18とゲート配線16との間に画素電極22, 22, …が形成され、各画素電極22がスイッチング素子(薄膜トランジスタ:TFT)20, 20, …を介してソース配線18とゲート配線16とに接続されて構成されている。そして、図10に示す符号12が画素エリア14外に形成されたガードリングであり、画素エリア14内の回路配線、即ちソース配線18及びゲート配線16と接続されている。

【0006】 このガードリング12を形成したものであれば、静電気が発生したとしても、各ソース配線18とゲート配線16とはガードリング12によって短絡しているために近接する電極間に電位差が生じることがなく、放電を防止することができる。従って、上記ガードリング12が形成されていれば、静電気の発生に上ってTFTや半導体等を含む回路配線の破壊、損傷を防ぐことができた。尚、マトリクス配線基板10の製造後には、画素エリア14の外周部をダイヤモンドカッタ等の切削用具を用いてガラス基板24ごと切り落とし、ガードリング12を切断除去した後に、この製造された配線基板の組立工程、駆動回路の接続等の後工程に移る。

【0007】 図11と図12は、図10に示した従来のアクティブマトリクス液晶表示装置において、ゲート配線16とソース配線18等の部分を実際に基板上に形成した一構造例を示すものである。図11と図12に示すアクティブマトリクス表示装置において、ガラスなどの透明の基板50上に、ゲート配線16とソース配線18

3
とが互いの交差部分にゲート絶縁層51を介してマトリクス状に配線されている。また、ゲート配線16とソース配線18との交差部分の近傍に薄膜トランジスタからなるスイッチング素子53が設けられている。

【0008】図11と図12に示すスイッチング素子53は最も一般的なチャネルエッチ型の素子の一例であり、ゲート配線16から引き出して設けたゲート電極54上に、ゲート絶縁層51を設け、このゲート絶縁層51上にアモルファスシリコン(a-Si)からなる半導体層55を設け、更にこの半導体層55上にアルミニウムなどの導体からなるドレイン電極56とソース電極57を設けて構成されている。なお、半導体層55の最上層はイオンをドープしたアモルファスシリコン層55aにされている。また、前記ドレイン電極56は、ゲート絶縁層51にあけられたコンタクトホール57を介して基板50上に形成された画素電極58に接続されるとともに、前記ソース電極57はソース配線18に接続されている。

【0009】そして、前記ゲート絶縁層51とドレイン電極56とソース電極57などを複数つこれららの上にパシベーション層59が設けられ、このパシベーション層59上に配向膜60が形成され、この配向膜60の上方に、間隔をあけて配向膜61を備えた透明の基板62が設けられ、更に配向膜60、61の間に液晶63が封入されてアクティブマトリクス液晶表示装置が構成されていて、前記画素電極58が前記液晶63の分子に電界を印加すると液晶分子の配向制御ができるようになっている。また、液晶63の上方部分において、基板62と配向膜61の間にはブラックマスク65が設けられ、画素電極58の上方領域以外の部分は隠された構造になっている。

【0010】

【発明が解決しようとする課題】しかしながら、上記方法によって静電気対策を施すものであっては、ガードリング12の形成されている時には有効ではあるが、その後工程においてはガードリング12は切断除去されているので、静電気に対して無防備であり、前記後工程時(駆動回路を実装する迄)にはやはり静電気の影響を受け、配線基板が損傷を受ける可能性の大きいものであった。特に、静電気の発生はa-Si TFTを形成する工程と共に、LCDの組立工程時に多発する傾向があり、組立工程時に静電気対策が施されていないことは、非常に問題であった。さらにまた、ガードリング12を切断除去する際にも、ガラス基板24と切削用具との間で静電気が発生しやすく、この静電気が回路配線の損傷原因ともなるものであった。

【0011】また、ガードリング12が形成されているうちにソース配線18とゲート配線16とは短絡しているために当然ではあるが、回路配線の検査を行なうことができず、また、検査のためにガードリング12を一旦

切断除去してしまうと、再びガードリング12を形成することはできず、検査後の回路配線は静電気の発生に対して無防備となり、従って、検査後に不良が発生する可能性が大きく、検査の実質的な価値が損なわれてしまう。そこで、検査はガードリング12を切り離して配線基板の組立工程等の後工程を経て駆動回路が接続された後に行なっていたが、この方法だと回路配線の不良を見つけ出したとしても、多くの工程を経た後であるので既に対応困難であり、廃棄処分とならため、製造損失が大きく、回路配線の早期検査が切望されていた。

【0012】本発明は前記課題を解決するためになされたもので、マトリクス配線基板に駆動回路が接続されるまで静電気対策を施すことができ、また、なるべく早期の回路配線の検査を可能とするマトリクス配線基板およびその製造方法を提供するものである。

【0013】

【課題を解決するための手段】請求項1に記載のマトリクス配線基板は、基板上にマトリクス状に回路配線が形成されたマトリクス配線基板において、回路配線の外周部に前記回路配線と接続されるガードリングが形成され、回路配線とガードリングの間に前記回路配線とガードリングの導通を制御する接断部が介在していることを特徴とするものである。

【0014】請求項2に記載のマトリクス配線基板は、請求項1記載のマトリクス配線基板において、接断部が、回路配線とガードリングの導通/絶縁を切替える接断スイッチング素子と、前記接断スイッチング素子を制御する駆動部とから構成されていることを特徴とするものである。

【0015】請求項3に記載のマトリクス配線基板は、請求項1記載のマトリクス配線基板において、接断部が可変抵抗素子で構成されているものである。

【0016】請求項4に記載のマトリクス配線基板は、請求項1記載のマトリクス配線基板において、接断部が可変抵抗回路で構成されているものである。

【0017】請求項5に記載のマトリクス配線基板の製造方法は、基板上にマトリクス状の回路配線が形成されたマトリクス配線基板の製造方法において、回路配線の外周部に前記回路配線と接続されるガードリングを形成し、さらに前記回路配線とガードリングとの間に接断部を形成し、前記形成された接断部に外場を作用させて回路配線とガードリングを導通させておき、必要に応じて接断部を外場から遮断して回路配線とガードリングを遮断するものである。

【0018】請求項6に記載のマトリクス配線基板の製造方法は、基板上にマトリクス状の回路配線が形成されたマトリクス配線基板の製造方法において、回路配線の外周部に前記回路配線と接続されるガードリングを形成し、さらに前記回路配線と前記ガードリングとの間に前記回路配線と前記ガードリングとの導通を制御する接断

部を形成し、前記接断部により前記回路配線と前記ガードリングを導通させておき、必要に応じて前記接断部に外場を作用させて、前記回路配線と前記ガードリングとを絶縁するものである。

【0019】

【作用】本発明のマトリクス配線基板では、回路配線の外周部にガードリングを形成し、かつ前記回路配線とガードリングの間にこれらの導通を制御する接断部を形成したものである。回路配線と導通するガードリングが形成されていることで、回路配線中で静電気が発生したとしても、各配線がガードリングによって短絡しているので、電位差が生じず、静電気による放電が発生することがない。

【0020】さらに、回路配線とガードリングの間の導通／絶縁を容易に切替えることのできる接断部を形成し、前記接断部にて回路配線とガードリングを絶縁することで回路配線にとってガードリングを取り除いたのと同じ効果を得ることができ、しかも、回路配線とガードリングを絶縁状態とした後であっても再び導通状態とすることもできるので、ガードリングを切断除去する必要が無くなる。

【0021】従って、ガードリングを切断除去することなく、回路配線の検査ならびに駆動回路の接続が可能となる。よって、ガードリングを配線基板から取り除いた後でなければ行えない回路配線の検査を、隨時必要に応じて何度も行なうことができる。即ち、検査時には接断部にてガードリングと回路配線とを絶縁して検査可能状態とし、検査後にはガードリングと回路配線とを導通することができるからである。従って、検査後であっても静電気対策の必要な時には常時ガードリングと回路配線を導通することで静電気対策を施すことができる。

【0022】また、本発明の接断部は、前記接断部に作用する外場によって制御されるものであり、いたって容易かつ正確に回路配線とガードリングの導通／絶縁を切替えることができる。さらにこの接断部には、外場によって作用される給電部によって制御される接断スイッチング素子、もしくは外場によって作用される可変抵抗素子、または可変抵抗回路を使用できる。

【0023】更に、外場を作用させて接断部を制御するものにあっては、製造工程中において、マトリクス状に配されている回路配線は、ガードリングを介して導通されているために、静電気が発生したとしても、回路配線とガードリングとの間に互いに電位差が生じない。また、回路配線とガードリングとの間に導通を制御できる接断部を配しているために、必要に応じて導通／絶縁を自由に制御することができる。なお、回路配線に接続させて設けたガードリングは、検査後も特に除去する必要が生じないので、ガードリングの除去工程は必要ない。更にまた、アクティブマトリクス液晶表示素子においては、接断部として薄膜トランジスタを利用できるので、

アクティブマトリクス液晶表示素子製造時に同時に基板上に形成することができ、工程を増加させることなく、接断部を製造できる。一方、バックライトを使用することを前提とする透過型液晶表示素子においては、外場として液晶表示装置のバックライトの光を利用することができる。

【0024】

【実施例】以下に本発明を実施例をもって説明するが本発明はこれらの実施例に限定されるものではない。

【0025】【実施例1】実施例1のマトリクス配線基板を図1を参照して説明する。図1に示すマトリクス配線基板26において、画素エリア14内の回路配線はアクティブマトリクス方式の液晶表示パネル用に使用される公知のもので、データ信号を流すための多数のソース配線18、18、…と、走査信号を流すための多数のゲート配線16、16、…とがマトリクス(行列)状態でガラス基板24上に形成されたもので、それら多数のソース配線18とゲート配線16との間に画素電極22、22、…が形成され、各画素電極22はスイッチング素子(薄膜トランジスタ:TFT)20、20、…を介してソース配線18及びゲート配線16とに接続されて概略構成されている。

【0026】尚、アクティブマトリクス液晶ディスプレイの配線基板において、その配線構造、画素電極構造、スイッチング素子の構造等はいずれも種々の構造が知られているが、いずれの種類の構造であってもマトリクス配線基板を使用しているものであれば本発明を適用することができるので、本発明は、画素エリア14内のアクティブマトリクス液晶ディスプレイの構造は特別には問わないものである。

【0027】そして、本実施例のマトリクス配線基板26においては、画素エリア14の外周部にガードリング12が形成されている。ガードリング12は導電体からなり、画素エリア14内の回路配線、即ちゲート配線16及びソース配線18と接続されている。

【0028】さらに、本実施例のマトリクス配線基板26においては、画素エリア14内の回路配線とガードリング12を接続する配線に接断部32、32、…が形成されている。さらに、接断部32は接断スイッチング素子30と給電部28とから構成されている。接断スイッチング素子30は、回路配線とガードリング12との間の導通と絶縁を切替える機能を有するものであれば良く、図1に示すマトリクス配線基板26においては、接断スイッチング素子30は薄膜トランジスタ(TFT)で構成されている。

【0029】尚、本発明では、回路配線とガードリング12とが導通状態であるときの接断スイッチング素子30をスイッチングオン状態と称し、回路配線とガードリング12とが絶縁状態であるときの接断スイッチング素子30をスイッチングオフ状態と称する。

7

【0030】給電部28は接断スイッチング素子30の導通/絶縁の切替を制御するもので、図1に示すマトリクス配線基板26においては太陽電池が適用されている。従って、太陽電池である給電部28に光を照射することで給電部28に起電力が生じ、接断スイッチング素子30がスイッチングオン状態となり、回路配線とガードリング12が導通状態となる。また、給電部28への光の照射を停止すると、接断スイッチング素子30がスイッチングオフ状態となり、回路配線とガードリング12の間は絶縁される。給電部28に適用する太陽電池は、TFTと同等なa-Siを使用し、ホモジャンクション($n^+ - a - Si / i - a - Si$ 、 $n^+ - a - Si / i - a - Si / P^+ - a - Si$ 等)、ヘテロジャンクション、ショットキーバリアを形成するコンタクト等で製造することができ、必要に応じて太陽電池を直列に接続すれば十分な起電力を得ることができます。

【0031】給電部28は接断スイッチング素子30を制御するものであれば良く、太陽電池の他にも例えば、コイルを用いて電磁誘導による起電力を生じさせて接断スイッチング素子30を制御するもの、ホール効果によって起電力を生じさせて接断スイッチング素子30を制御するもの、熱起電力をを利用して接断スイッチング素子30を制御するもの等、外場によって起電力を生じ接断スイッチング素子30を制御できるものであればどのようなものであっても構わない。さらに、給電部28としては、接断スイッチング素子30のスイッチング状態(オン又はオフ)を切替えるのに必要な電圧(例えば、 $V_{on} \geq 2V$ 、 $V_{off} \leq 1V$)を任意に設定でき、その電圧を数十分ないし数時間保持できる素子または回路であっても良い。例えば、スタティックRAM等に用いられるラッチ回路を使用することもできる。

【0032】さらにまた、給電部28としてリードが少なく容量の大きいコンデンサを適用することもできる。この場合、回路配線とガードリング12とを絶縁させておく時には、コンデンサは放電させておけば良く、接断スイッチング素子30をスイッチングオン状態として回路配線とガードリング12とを導通させる時にはコンデンサを蓄電されれば良い。また、コンデンサとしては、増幅器と組み合わせ、ミラー効果を利用して見かけ上の容量を大きくしたものであっても良い。この場合、増幅器の増幅度倍だけ容量が大きくなる。

【0033】このマトリクス配線基板26の回路配線およびガードリング12は、ガラス基板24上に、導電体であるTa、Mo、Al、Cu等をスパッタ法やエレクトロロンビーム蒸着法等で形成し、ホトリソグラフィ法で所望のパターンに形成することで製造され得る。

【0034】本実施例のマトリクス配線基板26においては、製造時(回路配線に駆動回路を接続する迄)には、給電部28に外場を作用させて給電部28で起電力を生じさせ、即ち、給電部28として太陽電池を適用し

10

20

30

40

50

8

ているならば、前記太陽電池に光を照射し起電力を生じさせて、接断スイッチング素子30をスイッチングオン状態として回路配線とガードリング12とを導通させておく。回路配線とガードリング12とを導通させておくことで、ソース配線18とゲート配線16とが短絡しているので、それらの間に静電気による電位差が生じることがなくなり、同電位となる。よって、放電が起こらず、西用TFTの絶縁体や半導体が破壊されたり、放電による発熱によって回路配線の損傷が生じることもなく、配線基板としての歩留りが大幅に向上する。

【0035】また、駆動回路接続端子34、34、…に駆動回路(図示略)を接続し、静電気対策を施す必要が無くなった際には、給電部(太陽電池)28を遮光し(太陽電池に何等かのカバーを被せたり、テープを貼り付ける等)、起電力を発生させないようにして起電力を接断スイッチング素子30のTFTのしきい値以下にすること、接断スイッチング素子30をスイッチングオフ状態とし、回路配線とガードリング12とを絶縁させれば良い。回路配線とガードリング12とが絶縁されることで、回路配線は駆動回路によってのみ駆動されるようになる。

【0036】従って、本発明のマトリクス配線基板においては、ガードリング12を回路配線から切断除去する必要がない。よって、回路配線の製造時から駆動回路を接続するまでガードリング12を接続したままにすることができ、静電気対策の必要な駆動回路の接続時まで静電気対策を維持・確保することができる。さらに、ガードリング12を切断除去しないことから、従来では切断時に基板と切削用具の間で多発していた静電気による損傷を本発明では受けることがない。従って、歩留りが従来に比して大幅に向上する。

【0037】また、ガードリング12と回路配線との導通/絶縁を任意に換返すことが可能であるので、回路配線とガードリング12とを絶縁し、回路配線の検査を行なった後に、再び回路配線とガードリングとを導通させることができる。従って、回路配線の検査をいつでも行なうことができ、早期における回路配線の検査が可能となる。従って、回路配線の不良を早期に発見することができるので、製造損失を格段に抑えることが可能となる。

【0038】尚、給電部28の起電力を低下させ回路配線とガードリング12とを絶縁し、回路配線の検査時または駆動時に、ソース配線18及びゲート配線16に印加される電圧の範囲に差づきガードリング12に任意の電圧を印加することで、接断スイッチング素子(TFT)30の絶縁性を確実に向上させることができる。即ち、接断スイッチング素子30のTFTがチャンネルの場合、給電部(太陽電池)28を遮光することに加えて、回路配線に印加される電圧の最も負の電圧よりも負の値の電圧をガードリング12に印加することで確実に

(6)

特開平6-51947

9

接断スイッチング素子 (TFT) 30において回路配線とガードリング 12 は絶縁される。この際、さらに、接断スイッチング素子 (TFT) 30 のゲート電極にも同様の負の電圧を印加すると絶縁性はより高まる。

【0039】尚、本実施例では TFT を用いたアクティブラーマトリクス方式の液晶ディスプレイを例示したが、本発明はこれに限定されるものではなく、MIM を用いたアクティブラーマトリクス方式の液晶ディスプレイ、単純マトリクス方式の液晶ディスプレイ、各種フラッシュディスプレイ (EL 等) 等や、各種センサアレイ (イメージセンサアレイ、圧力センサアレイ等) 等の各種マトリクス配線基板に適用できることは勿論である。

【0040】【実施例2】実施例2のマトリクス配線基板を図2を参照して説明する。図2に示すマトリクス配線基板 36 が実施例1のマトリクス配線基板 26 と異なる点は、複数の薄膜トランジスタからなる接断スイッチング素子 30, 30, … のゲート電極をまとめて接続し、前記直結したゲート電極とガードリング 12 との間に給電部 28 を形成した点にある。即ち、実施例2のマトリクス配線基板 36においては、接断部 32 は多数の接断スイッチング素子 30, 30, … と1つの給電部 28 とから構成されている。

【0041】実施例2のマトリクス配線基板 36 によれば、給電部 28 である太陽電池に光を照射したりまたは遮光するのに一箇所のみに照射／遮光を施せばよく、給電部 28 を制御することの容易性および確実性が向上する。また、上記実施例1で示したように、接断スイッチング素子 30 である TFT のゲート電極に負の電圧を印加すると、接断スイッチング素子 30 である TFT による絶縁性が向上するが、接断スイッチング素子 30 である TFT に電圧を印加するにも、実施例2のようにゲート電極が1つにまとめられているとゲート電極への電圧の印加がより容易となる。

【0042】他の作用、構成、効果は実施例1のマトリクス配線基板 26 と同様である。従って、実施例2のマトリクス配線基板 36 においても、製造時 (回路配線に駆動回路を接続する迄) には、給電部 28 に外場を作用させて給電部 28 で起電力を生じさせ、即ち、給電部 28 として太陽電池を適用しているならば、前記太陽電池に光を照射し起電力を生じさせて、各接断スイッチング素子 30 をスイッチングオン状態として回路配線とガードリング 12 とを導通させておく。回路配線とガードリング 12 とを導通させておくことで、ソース配線 18 とゲート配線 16 とが短絡しているので、それらの間に静電気による電位差が生じることがなくなる。よって、放電が起こらず、画素用 TFT の絶縁体や半導体が破壊されたり、放電による発熱によって回路配線の損傷が生じることもなく、配線基板としての歩留りが大幅に向上する。

【0043】また、駆動回路接続端子 34, 34, …

10

に駆動回路 (図示略) を接続し、静電気対策を施す必要が無くなった際には、太陽電池を遮光し (太陽電池に何等かのカバーを被せたり、テープを貼り付ける等)、起電力を発生させないようにして起電力を接断スイッチング素子 30 の TFT のしきい値以下にすることで、接断スイッチング素子 30 をスイッチングオフ状態とし、回路配線とガードリング 12 とを絶縁させれば良い。回路配線は駆動回路によってのみ駆動されるようになる。

【0044】従って、このマトリクス配線基板 36 においては、ガードリング 12 を回路配線から切断除去する必要がない。よって、回路配線の製造時から駆動回路を接続するまでガードリング 12 を接続したままにすることができ、静電気対策の必要な駆動回路の接続時まで静電気対策を維持保険することができる。従って、歩留りが従来に比して大幅に向上する。

【0045】また、ガードリング 12 と回路配線との導通／絶縁を任意に繰返すことが可能であるので、回路配線とガードリング 12 とを絶縁し、回路配線の検査を行なった後に、再び回路配線とガードリングとを導通させることができる。従って、回路配線の検査をいつでも行なうことができ、早期における回路配線の検査が可能となる。従って、回路配線の不良を早期に発見することができるので、製造損失を格段に抑えることが可能となる。本実施例では、1つの給電部 28 で全ての接断スイッチング素子 30, 30, … を駆動しているが、ソース配線 18 に接続されているスイッチング素子 30 のゲート電極をまとめたものと、ゲート配線 16 に接続されているスイッチング素子 30 のゲート電極をまとめたものとに各々給電部を設けても良い。

【0046】【実施例3】実施例3のマトリクス配線基板を図3を参照して説明する。図3に示すマトリクス配線基板 38 が実施例1のマトリクス配線基板 26 と異なる点は、接断部として可変抵抗素子 40, 40, … を適用したことにある。可変抵抗素子 40 としては外場によってその電気抵抗値の変化するものであれば良く、例えば光によって抵抗値の変化する光導電素子、温度によって抵抗値が変化するサーミスター、圧力によって抵抗値が変化するピエゾ抵抗素子または歪ゲージ、磁場によって抵抗値が変化するホール素子等が適用できる。

【0047】可変抵抗素子 40 の抵抗値の可変範囲として、上限 (高抵抗側) が $R_{V\max} \leq 10^5 \Omega$ であれば一般的の表示の際には問題はない。但し、実装時の駆動回路の能力いかんによっては、これよりも小さい値であっても良好な場合がある。下限 (低抵抗側) は $R_{V\min} \leq 10^3 \Omega$ であれば良く、できるだけ低い値である方が除電速度が大きくなり好ましい。

【0048】このマトリクス配線基板 38 において、回路配線とガードリング 12 とを導通させるには、可変抵抗素子 40 の抵抗を小さくすればよい。即ち、可変抵抗

素子40として光導電素子を適用しているならば、前記光導電素子40に光を照射し、その抵抗値を小さくして回路配線とガードリング12とを導通させておく。回路配線とガードリング12とを導通させておくことで、ソース配線18とゲート配線16とが短絡しているので、それらの間に静電気による電位差が生じることがなくなる。よって、放電が起こらず、画素用 TFT の絶縁体や半導体が破壊されたり、放電による発熱によって回路配線の損傷が生じることもなく、配線基板としての歩留りが大幅に向向上する。

【0049】また、駆動回路接続端子34、34、…に駆動回路(図示略)を接続し、静電気対策を施す必要が無くなった際には、光導電素子40を遮光し(光導電素子に何等かのカバーを被せたり、テープを貼り付ける等)、抵抗値を増加させて回路配線とガードリング12を絶縁させれば良い。回路配線とガードリング12が絶縁されることで、回路配線は駆動回路に上ってのみ駆動されるようになる。従って、このマトリクス配線基板38においても、ガードリング12を回路配線から切断除去する必要がない。よって、回路配線の製造時から駆動回路を接続するまでガードリング12を接続したままにすることができ、静電気対策の必要な駆動回路の接続時まで静電気対策を維持保証することができる。従って、歩留りが従来に比して大幅に向向上する。

【0050】また、ガードリング12と回路配線との導通/絶縁を任意に繰返すことが可能であるので、回路配線とガードリング12とを絶縁し、回路配線の検査を行なった後に、再び可変抵抗素子40に外場を作用させて可変抵抗素子40の抵抗値を低減し、回路配線とガードリングとを導通させることができる。従って、回路配線の検査をいつでも行なうことができ、早期における回路配線の検査が可能となる。従って、回路配線の不良を早期に発見することができるので、製造損失を格段に抑えることが可能となる。

【0051】〔実施例4〕実施例4のマトリクス配線基板として、実施例3の可変抵抗素子40の代りに図4に示すような可変抵抗回路42を適用するものを例示する。従って、マトリクス配線基板の全体の概要図としては図3をもって省略する。

【0052】図4において、

R_o ：抵抗44の一定の抵抗値

R_V ：外場により $R_L \sim R_H$ ($R_o \ll R_L$, $R_o \ll R_H$) まで変化する可変抵抗素子(この可変抵抗素子には実施例3で適用する各種可変抵抗素子を適用できる)46の抵抗値

T_r ：トランジスタ(但し、 $R_o \ll R_o$, $R_{off} \gg R_H \gg R_o$ 。ここで、 R_{on} はトランジスタのスイッチングオン状態での抵抗値であり、 R_{off} はトランジスタのスイッチングオフ状態での抵抗値である。)

VR ：ガードリングの電位

V_x ： R_o と R_V の接点の電位であり且つトランジスタ T_r のゲート電位

V_s ：回路配線の電位

【0053】実施例4のマトリクス配線基板において、静電気対策を施す時、即ち回路配線とガードリング12を導通するには、可変抵抗回路42全体としての抵抗値を下げて V_s と VR の差を小さくすればよい。この場合、まず外場によって可変抵抗素子46の抵抗値 R_V を $R_V = R_L \ll R_o$ とする。すると、 $V_x = (VR + V_s) / 2$

となる。静電気によって V_s が VR に対して負に帯電した時、 T_r が n チャンネル FET (Field Effect Transistor: 電界効果トランジスタ) であれば、 V_s がソース電位となり、トランジスタ T_r のゲートソース電圧 V_{gs} は、

$$V_{gs} = V_x - V_s$$

$$= (VR - V_s) / 2 \text{ となる。}$$

トランジスタ T_r のしきい値電圧 V_{th} (数V) に対して V_{gs} が、 $V_{gs} = (VR - V_s) / 2 \geq V_{th}$ となると、トランジスタ T_r はスイッチングオン状態となり、ガードリング12と回路配線との間の抵抗 R は、

$$R = (2R_o \cdot R_{on}) / (2R_o + R_{on})$$

$$= (2R_o \cdot R_{on}) / 2R_o \quad (\because R_{on} \ll R_o)$$

$$= R_{on}$$

従って、可変抵抗回路42全体としての抵抗値 R は大幅に低下し、除電速度を格段に大きくすることができる。

【0054】同様に、トランジスタ T_r が p チャンネル FET であって、 V_s が VR に対して正に帯電した時には、 VR がソース電位となり、トランジスタ T_r の V_{gs} は、

$$V_{gs} = V_x - VR$$

$$= (V_s - VR) / 2 \text{ となる。}$$

V_{th} に対して V_{gs} が、 $V_{gs} = (V_s - VR) / 2 \geq V_{th}$ となると、トランジスタ T_r はスイッチングオン状態となり、 $R = R_{on}$ となる。従って、可変抵抗回路42全体としての抵抗値 R は大幅に低下し、除電速度を格段に大きくすることができる。

【0055】また、トランジスタ T_r が p チャンネルの場合であっても、 VR に対する V_s の帯電電位の符号によるソース電位を上記 n チャンネルの場合と逆に見立てることで、全く同様の効果を得ることができる。

【0056】回路配線の検査または回路配線の駆動時で、回路配線とガードリング12とを絶縁するには、可変抵抗回路42の全体としての抵抗値 R を大きくすれば良い。その為にはまず、外場によって可変抵抗素子46の抵抗値 R_V を $R_V = R_H \gg R_o$ にする。すると、 $R_V \gg R_o$ であるから、 $V_x = VR$ となる。回路配線の検査や駆動を行なうために回路配線に印加する電位の範囲を $V_{sL} \leq V_s \leq V_{sH}$ として表わすと、 V_s に対して、 VR を以下に示すようにすることで、トランジスタ T_r は確実にスイッチングオフ状態を保つことになる。

①トランジスタTrがnチャンネルFETの場合、VR<VsL

②トランジスタTrがpチャンネルFETの場合、VR>VsH

【0057】トランジスタTrがスイッチングオフの時、回路配線とガードリング12との間の抵抗値Rは、
R=R_H+R_O

となる。

この抵抗値Rは駆動回路の能力にもよるが、一般的に10⁵Ω以上であれば良好である。

【0058】従って、この実施例4のマトリクス配線基板において、回路配線とガードリング12とを導通させるとには、可変抵抗回路42の抵抗を小さくすればよく、回路配線とガードリング12とを導通させておくことで、ソース配線18とゲート配線16とが短絡しているので、それらの間に静電気による電位差が生じることがなくなる。よって、放電が起こらず、画素用 TFTの絶縁体や半導体が破壊されたり、放電による発熱によって回路配線の損傷が生じることもなく、配線基板としての歩留りが大幅に向上する。

【0059】また、駆動回路接続端子34に駆動回路を接続し、静電気対策を施す必要が無くなった際には、可変抵抗回路42の抵抗値を増加させて回路配線とガードリング12とを絶縁させれば良い。回路配線とガードリング12とが絶縁されることで、回路配線は駆動回路によってのみ駆動されるようになる。従って、この実施例4のマトリクス配線基板においても、ガードリング12を回路配線から切断除去する必要がない。よって、回路配線の製造時から駆動回路を接続するまでガードリング12を接続したままにすることができ、静電気対策の必要な駆動回路の接続時まで静電気対策を維持保障することができる。従って、歩留りが従来に比して大幅に向上する。

【0060】また、ガードリング12と回路配線との導通/絶縁を任意に繰返すことが可能であるので、回路配線とガードリング12とを絶縁し、回路配線の検査を行なった後に、再び可変抵抗素子46に外場を作用させて可変抵抗回路42の抵抗値を低減し、回路配線とガードリング12とを導通させることができる。従って、回路配線の検査をいつでも行なうことができ、早期における回路配線の検査が可能となる。従って、回路配線の不良を早期に発見することができるので、製造損失を格段に抑えることが可能となる。

【0061】(実施例5) 実施例5のマトリクス配線基板の回路の基本構成を図5を参照して説明する。図5は、この例の回路の可変抵抗回路の基本構成を示すもので、この例の回路は、先の実施例でそれぞれ説明したガードリング12に接続される接続配線71と、先の実施例で説明したゲート配線16またはソース配線18に接続される接続配線70との間に、メイントランジスタTr

を組み込み、このメイントランジスタTrに対して電圧により抵抗値が減少する可変抵抗素子72(抵抗値R1)と抵抗73(抵抗値R2)を接続して構成されている。

【0062】この回路において、可変抵抗素子72の両端の電圧をV1、抵抗73の両端の電圧をV2、静電気の発生によりメイントランジスタTrに接続配線70、

71を介して負荷される電圧をV_oとするとき、配線基板の製造工程においては、R1=R2とすることによってV1=V_o/2となる。ここで、V_o≥2V_t(V_t=メイントランジスタTrのしきい値)の場合、V1≥V_tとなり、メイントランジスタTrはオン状態になるので放電される。この構成では、V_oの正負にかかわらず、常に動作して静電気から回路配線を保護する。次に、この回路が適用された液晶表示装置がバックライトを利用する形式のものであって、この装置で液晶を表示する時は、可変抵抗素子72にバックライトの光が照射されると、その抵抗値が下がるのでR2>R1の関係になり、V_o=V2>V1=0の関係となる。従ってガードリング12の電位V0を回路の中で最も負の電圧に設定しておけば、メイントランジスタTr(nチャンネルFET)は、オフになったままであり、液晶表示装置の表示に影響を与えないだけでなく、電力消費も小さく抑えることができる。

【0063】よって、前記可変抵抗素子72と抵抗73のいずれにおいても、液晶表示するときは、それらの抵抗値が大きい方が良いと言えるが、液晶表示装置の薄膜トランジスタの構成材料で前記可変抵抗素子72や抵抗73を製造するためには、薄膜トランジスタのオフ抵抗を利用するのが現実的に好ましい。このような配慮から、液晶表示装置に用いて好適な構成として図6に示す構成を採用することができる。

【0064】図6に示す構成では、メイントランジスタTrに対して第1トランジスタTr1と第2トランジスタTr2を接続して設けたものであり、この図6に示す回路の等価回路を図7に示す。図7に示す等価回路においては、メイントランジスタTrに對し、第2トランジスタTr2のオフ抵抗をR_{OFF2}とした抵抗74、および、ダイオードD2と、第1トランジスタTr1のオフ抵抗をR_{OFF1}とした可変抵抗素子75、および、ダイオードD1をそれぞれ接続した構成になる。この等価回路において、ガードリング12を最も負の電圧に設定しておけば、ダイオードD1、D2は逆バイアスになるために、抵抗74と可変抵抗素子75とに電流が流れ、抵抗比R_{OFF2}/R_{OFF1}でメイントランジスタTrのゲート電圧が決まる。ここでバックライトの光によりR_{OFF2}>R_{OFF1}となると、メイントランジスタTrのゲート・ソース間電圧は、V_{ds}=0となり、メイントランジスタTrはオフ状態を保つ。

【0065】以上のことから、図6に示す第1トランジ

(8)

特開平6-51347

15

第1トランジスタ T_{r1} と第2トランジスタ T_{r2} は、液晶表示装置を表示する時は、 $R_{OFF2} \gg R_{OFF1}$ (R_{OFF2} と R_{OFF1} はそれぞれ、第1トランジスタ T_{r1} と第2トランジスタ T_{r2} のオフ抵抗)となることが要求される。光によってこのような状況を具体的に作るためにには、透過型液晶表示装置の場合、前述したようにバックライトを利用する事が可能である。このような透過型の液晶表示装置に前記第1トランジスタ T_{r1} と第2トランジスタ T_{r2} を具体的に組み込んだ構造の一例を図8と図9に示す。

【0066】図8は、図12に示すような透過型の液晶表示装置に組み込む場合の第1トランジスタ T_{r1} の具体的構造の一例を示すものであり、この構成の第1トランジスタ T_{r1} であれば、図12に示す基板50とゲート絶縁層51とゲート電極54と半導体層55とドレイン電極56とソース電極57を形成して液晶表示装置を製造する場合の工程をそのまま流用して第1トランジスタ T_{r1} を作り込むことができる。

【0067】即ち、図12に示すスイッチング素子53を製造する場合に行うフォトリソグラフィ工程の際に用いるフォトマスクに第1トランジスタ形成用のパターンを追加して設け、この追加パターンを利用して成膜やエッチングを繰り返し施すことにより、スイッチング素子53の形成と同時に第1トランジスタ T_{r1} 形成用の処理を行なって第1トランジスタ T_{r1} を形成することができる。

【0068】図8に示す第1トランジスタ T_{r1} は、基板50上にITOなどの透明導電膜からなるゲート電極80を形成し、基板50とゲート電極80をゲート絶縁層51で覆い、その上に半導体層55を積層し、半導体層55上にイオンドープした半導体層55aを形成し、その一部をエッチングにより除去するとともに、ドレイン電極56' とソース電極57'を形成することでチャネルエンゲチ型の薄膜トランジスタ構造としてスイッチング素子としたものである。

【0069】図9は第2トランジスタ T_{r2} の具体的構造の一例を示すものであり、この構成の第2トランジスタ T_{r2} であれば、図12に示す構造の液晶基板を製造する工程を利用して第2トランジスタ T_{r2} を作り込むことができる。図9に示す第1トランジスタ T_{r2} は、基板50上に金属などの遮光性導電膜からなるゲート電極81を形成し、基板50とゲート電極81をゲート絶縁層51で覆い、その上に半導体層55を積層し、半導体層55上にイオンドープした半導体層55aを形成し、その一部をエッチングにより除去するとともに、ドレイン電極56' とソース電極57'を形成することでチャネルエンゲチ型の薄膜トランジスタ構造としてスイッチング素子としたものである。この例の第2トランジスタ T_{r2} を製造する場合においても先に説明した第1トランジスタ T_{r1} の場合と同様に、スイッチング素子53を形成する工程を利用して製造することができ

10

16

る。

【0070】また、図8と図9に示すスイッチング素子構造を採用する場合においては、これらと同様な構造を採用してメイントランジスタ T_{r0} を基板50上に形成する必要を生じるが、この際のメイントランジスタ T_{r0} にあっては、液晶表示するときはオフとなるが、液晶の駆動回路の負担を増やさないために、 R_{OFF0} (メイントランジスタ T_{r0} のオフ抵抗)はできるだけ大きい方が好ましい。そのためには、表示の際に、基準トランジスタ T_{r0} にバックライトが入射し、オフ抵抗が上昇することを抑えなければならないので、図9に示す第2トランジスタ T_{r2} と同じような遮光性導電膜でゲート電極を構成すれば良い。従って図9と同様の構成にすることによりメイントランジスタ T_{r0} が得られる。更に、通常、液晶表示装置の上面側からの入射光を防ぐ目的でライトシールドと呼ばれる遮光膜で薄膜トランジスタの上部を覆う構成とすることがあるが、メイントランジスタ T_{r0} に対しては、 R_{OFF0} を大きくする効果があるので、この遮光膜を前記構造に適用することも有用である。

20

【0071】一方、前記第1トランジスタ T_{r1} と第2トランジスタ T_{r2} に対し、製造工程中などにおいて静電気対策を必要とする時は、 $R_{OFF2} \neq R_{OFF1}$ であることが求められるので、前記抵抗のバランスが保たれるよう、ライトシールドなどの遮光膜は両方付けるか、両方付けないかにすることが好ましい。前記遮光膜を片側のみに付けると、上面側からの入射光で前記抵抗値のアンバランスが生じる。

30

【0072】なお、液晶表示装置の製造工程中において、光は、基板50の下方から入射することなく、上から入射するが、仮に下から入射した場合、 $R_{OFF2} \neq R_{OFF1}$ の関係を保つためには、上からの人射光を遮断する遮光膜を付けない方が良く、表示させる段階で上からの入射光を遮断すべく、遮光性の樹脂等をコーティングするか液晶表示装置の筐体構成材料で覆って遮光するなどの手段を講じることが理想的である。

【0073】

40

【発明の効果】本発明のマトリクス配線基板は、基板上に、回路配線と、前記回路配線と接続されるガードリングと、回路配線とガードリングの導通/絶縁を制御する接続部が形成されてなるもので、製造時には、接続部にかかる外場を制御して回路配線とガードリングとを導通させておくものである。回路配線とガードリングとを導通させておくことで、回路配線中の各配線が短絡していくので、それらの間に静電気による電位差が生じることがなくなり、同電位となる。よって、放電が起こらず、画素用 TFT の絶縁体や半導体が破壊されたり、放電による発熱によって回路配線の損傷が生じることもなく、配線基板としての歩留りが大幅に向上する。

50

【0074】また、駆動回路を接続して静電気対策を施

(10)

特開平6-51347

17

す必要が無くなった際には、接続部にかかる外場を制御して回路配線とガードリングとを絶縁する。回路配線とガードリングとが絶縁されることで、回路配線は駆動回路からの信号に忠実に駆動されるようになる。

【0075】従って、本発明のマトリクス配線基板においては、ガードリングを回路配線から切断除去する必要がない。よって、回路配線の製造時から駆動回路を接続するまでガードリングを接続したままにすることができ、静電気対策の必要な駆動回路の接続時まで静電気対策を維持保険することができる。さらに、ガードリングを切断除去しないことから、従来では切断時に基板と切削用具の間で多発していた静電気による損傷を本発明では受けることがない。従って、歩留りが従来に比して大幅に向向上する。

【0076】また、ガードリングと回路配線との導通／絶縁を任意に繰返すことが可能であるので、回路配線とガードリングとを絶縁し、回路配線の検査を行なった後に、再び回路配線とガードリングとを導通させることができる。従って、回路配線の検査をいつでも行なうことができ、早期における回路配線の検査が可能となる。従って、回路配線の不良を早期に発見することができるので、製造損失を格段に抑えることが可能となる。

【0077】更に、製造工程中は、マトリクス状に配されている回路配線は、互いに導通されているために、静電気が発生したとしても、電位差が生じないために、配線間での放電が起こらず、画素用薄膜トランジスタ、絶縁膜や回路配線の損傷が生じない。また、アクティブライド型液晶表示装置に適用する場合に、薄膜トランジスクを接続素子として使用できるので、工程を増加させることなく本願発明構造を採用できる。更にまた、透過型液晶表示装置に適用するならば、外場としてバックライトの光を利用することができるために、製品としてコストアップされることなく静電気対策をとることができ、むしろ、静電気事故による不良品を生じないので歩留まりが向上し、コストダウンに寄与する。

【図面の簡単な説明】

【図1】図1は実施例1のマトリクス配線基板の回路図である。

【図2】図2は実施例2のマトリクス配線基板の回路図である。

10

【図3】図3は実施例3のマトリクス配線基板の回路図である。

【図4】図4は実施例4のマトリクス配線基板の接続部の回路図である。

【図5】図5は実施例5のマトリクス配線基板の接続部の基本構成図である。

【図6】図6は図5に示す基本構成図の具体的回路を示す回路図である。

【図7】図7は図6に示す回路の等価回路図である。

【図8】図8は実施例5に用いられる第1のトランジスタの具体的構造の一例を示す構成図である。

【図9】図9は実施例5に用いられる第2のトランジスタの具体的構造の一例を示す構成図である。

【図10】図10は従来例のマトリクス配線基板の回路図である。

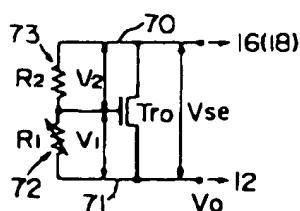
【図11】図11はアクティブライドマトリクス液晶表示装置の一構造例の要部を示す平面図である。

【図12】図12は図11のA-A線に沿う断面図である。

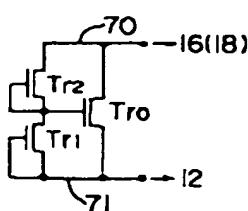
【符号の説明】

10	マトリクス配線基板
12	ガードリング
14	画素エリア
16	ゲート配線
18	ソース配線
20	スイッチング素子
22	画素電極
24	基板
26	マトリクス配線基板
28	給電部
30	接続スイッチング素子
32	接続部
36	マトリクス配線基板
38	マトリクス配線基板
40	可変抵抗素子
42	可変抵抗回路
44	抵抗
46	可変抵抗素子
72	可変抵抗素子
75	可変抵抗素子

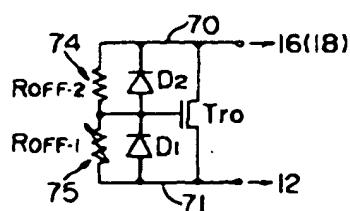
【図5】



【図6】



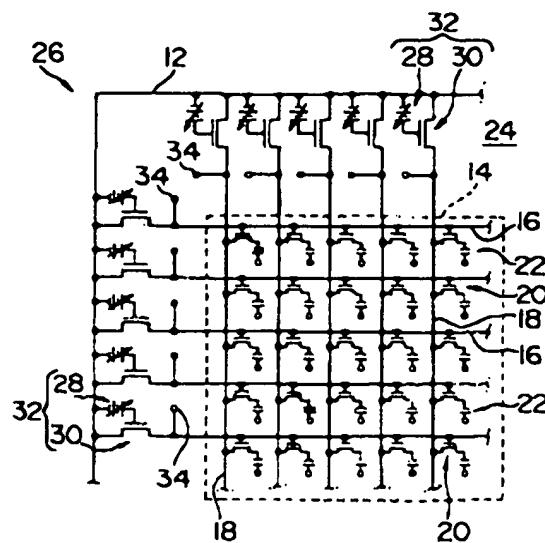
【図7】



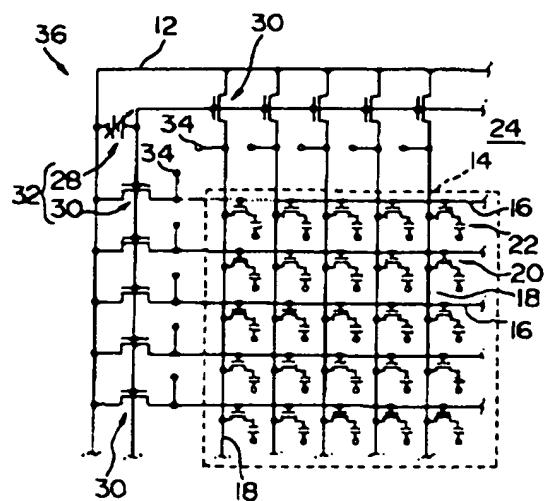
(11)

特開平6-51347

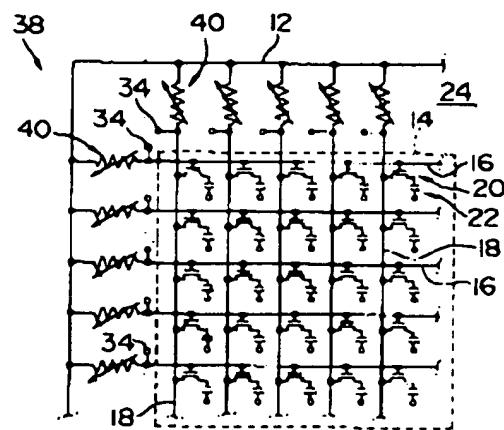
【図1】



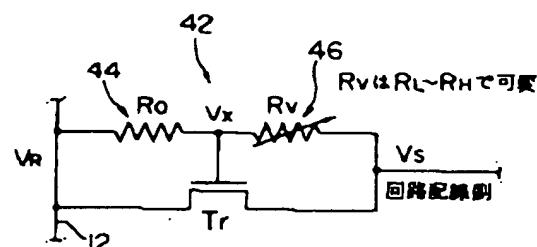
【図2】



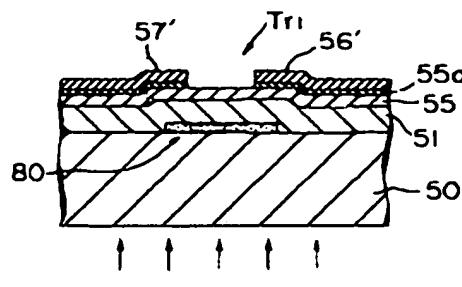
【図3】



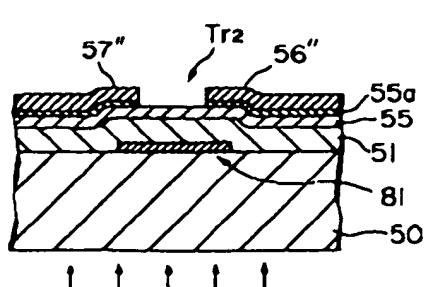
【図4】



【図8】



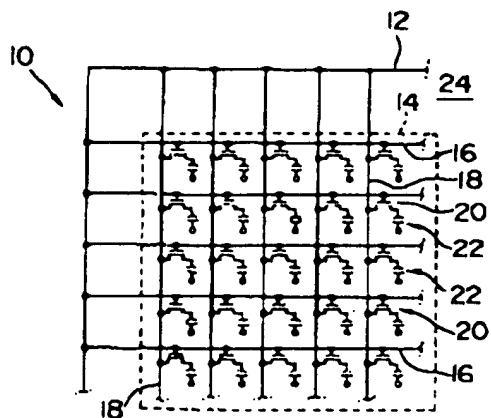
【図9】



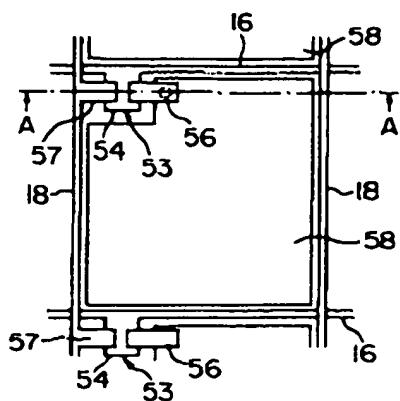
(12)

特開平6-51347

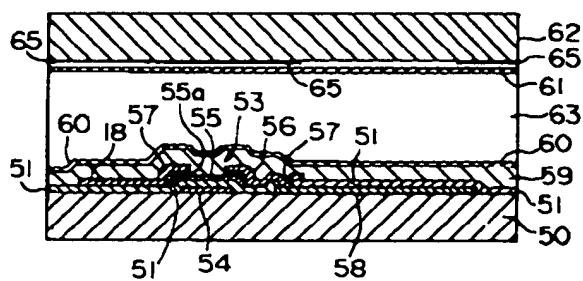
【図10】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.